

First Hit

End of Result Set

Generate Collection

L1: Entry 1 of 1

File: JPAB

Jun 2, 1999

PUB-NO: JP411150124A

DOCUMENT-IDENTIFIER: JP 11150124 A

TITLE: FIELD EFFECT TRANSISTOR AND ITS MANUFACTURE

PUBN-DATE: June 2, 1999

INVENTOR-INFORMATION:

NAME	COUNTRY
YOSHIMURA, MISAO	
NISHIBORI, KAZUYA	
KITAURA, YOSHIAKI	

ASSIGNEE-INFORMATION:

NAME	COUNTRY
TOSHIBA CORP	

APPL-NO: JP10030058

APPL-DATE: February 12, 1998

INT-CL (IPC): H01 L 21/338; H01 L 29/812

ABSTRACT:

PROBLEM TO BE SOLVED: To shorten the length of a gate electrode of a field effect transistor without deteriorating IV characteristics of the transistor, by providing a second conductivity impurity region which is formed to cover the boundary of at least either one of a source region and a drain region having a first conductivity type and a semiconductor substrate and not to cross the gate electrode.

SOLUTION: In a p-type pocket MESFET, p-type pocket regions 17 and 17 are respectively provided below a source regions 16a and part of a channel layer 12 and below a drain region 16b and another part of the layer 12, and a gate electrode 14 is formed on the channel region 12. In addition, a source electrode 18a and a drain electrode 18b are respectively formed on the source and the drain regions 16a and 16b. Since the pocket regions 17 and 17 are formed apart from the gate electrode 14, the regions 17 do not come close to each other, even when the length of the gate electrode 14 is reduced and, since holes generated by impact ionization are concentrated below the channel layer 12, the occurrence of a phenomenon in which the static characteristic of the MESFET is distorted is eliminated.

COPYRIGHT: (C)1999, JPO

(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平11-150124

(43)公開日 平成11年(1999)6月2日

(51)Int.Cl.^{*}

H01L 21/338
29/812

識別記号

F I

H01L 29/80

B

審査請求 未請求 請求項の数 6 OL (全 12 頁)

(21)出願番号 特願平10-30058

(22)出願日 平成10年(1998)2月12日

(31)優先権主張番号 特願平9-248273

(32)優先日 平9(1997)9月12日

(33)優先権主張国 日本 (JP)

(71)出願人 000003078

株式会社東芝

神奈川県川崎市幸区堀川町72番地

(72)発明者 吉村操

神奈川県川崎市幸区小向東芝町1 株式会

社東芝研究開発センター内

(72)発明者 西堀一弥

神奈川県川崎市幸区小向東芝町1 株式会

社東芝研究開発センター内

(72)発明者 北浦義昭

神奈川県川崎市幸区小向東芝町1 株式会

社東芝研究開発センター内

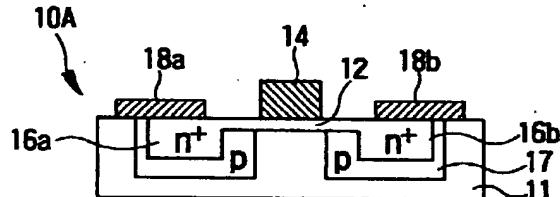
(74)代理人 弁理士 佐藤一雄 (外3名)

(54)【発明の名称】 電界効果トランジスタおよびその製造方法

(57)【要約】

【課題】 従来のP型ポケット型MESFETの構造を修正し、IV特性を劣化させることなく短ゲート化を行って、準ミリ波帯の電力增幅器として応用した場合に優れた利得、線形性を達成することを目的とする。

【解決手段】 P型ポケット領域とゲート電極とを離して配置することにより、静特性に歪みが生ずることなく、短チャネル効果を効果的に抑制することができる。さらに、トランジスタのゲート長を短縮するだけでなく、ソース・ドレイン領域間の距離と、中間濃度層の長さと、P型ポケット領域間の距離とをそれぞれ独特の範囲に設定することによって、IV特性を劣化せることなく、ゲート長を短縮して従来よりも周波数の高い準ミリ波帯などの高周波帯において使用することができる。



1

【特許請求の範囲】

【請求項1】半導体基板に形成された第1導電型のチャネル領域と、このチャネル領域上に形成されたゲート電極と、この電極の両側の前記半導体基板の領域に前記ゲート電極に隣接するように形成された第1導電型の半導体領域と、前記ゲート電極の両側の前記半導体基板の領域に、前記半導体領域に隣接して形成され、前記半導体領域よりも不純物濃度の高い第1電導型のソース領域およびドレイン領域と、前記ソース領域およびドレイン領域のうち少なくとも一方の領域と前記半導体基板との境界面を被いかつ前記ゲート電極と交差しないように形成された、前記第1導電型と異なる第2導電型の不純物領域と、を備えていることを特徴とする電界効果トランジスタ。

【請求項2】半導体基板の表面に形成された第1導電型のチャネル領域と、前記半導体基板の表面において前記チャネル領域の両側にそれぞれ隣接して形成され、前記チャネル領域よりも高いキャリア濃度を有する第1導電型の第1の中間領域及び第2の中間領域と、前記半導体基板の表面において前記第1の中間領域に隣接して前記チャネル領域の反対側に形成され、前記第1の中間領域よりも高いキャリア濃度を有する第1導電型のソース領域と、前記半導体基板の表面において前記第2の中間領域に隣接して前記チャネル領域の反対側に形成され、前記第1の中間領域よりも高いキャリア濃度を有する第1導電型のドレイン領域と、前記第1の中間領域と前記ソース領域との下部に隣接して形成された第2導電型の第1のポケット領域と、前記第2の中間領域と前記ドレイン領域との下部に隣接して形成された第2導電型の第2のポケット領域と、を備え、前記第1のポケット領域と前記第2のポケット領域との間隔は、前記第1の中間領域と前記第2の中間領域との間隔よりも大なるものとして構成されていることを特徴とする電界効果トランジスタ。

【請求項3】半導体基板に第1導電型のチャネル領域を形成する工程と、前記チャネル領域上にゲート電極を形成する工程と、前記ゲート電極の側部にのみ第1の絶縁膜を形成する工程と、前記ゲート電極および前記第1の絶縁膜をマスクにしてイオン注入することにより前記第1導電型と異なる第2導電型のポケット領域を形成する工程と、前記第1の絶縁膜を除去した後、前記ゲート電極の側部にのみ、前記第1の絶縁膜より膜厚の厚い第2の絶縁膜を形成する工程と、前記ゲート電極および前記第2の絶縁膜をマスクにして

2

イオン注入することにより前記不純物層より浅い第1導電型のソース領域およびドレイン領域を形成する工程と、前記ソース領域およびドレイン領域上にソース電極およびドレイン電極を形成する工程と、を備えたことを特徴とする電界効果トランジスタの製造方法。

【請求項4】前記第1の絶縁膜を形成する前か、または前記第1の絶縁膜を除去した直後にイオン注入することにより前記ソース領域およびドレイン領域よりも浅くかつ不純物濃度の低い第1導電型の導電層を形成することを特徴とする請求項3記載の電界効果トランジスタの製造方法。

【請求項5】半導体基板に第1導電型のチャネル領域を選択的に形成する工程と、前記チャネル領域上にゲート電極を選択的に形成する工程と、前記ゲート電極の側部にのみ、第1の絶縁膜を選択的に形成する工程と、

20 前記ゲート電極および前記第1の絶縁膜をマスクにしてイオン注入することにより第1導電型のソース領域およびドレイン領域を選択的に形成する工程と、前記ゲート電極の側部にのみ前記第1の絶縁膜よりも膜厚の薄い第2の絶縁膜を選択的に形成する工程と、前記ゲート電極および前記第1の絶縁膜をマスクにしてイオン注入することにより前記半導体基板の内部に第2導電型のポケット領域を選択的に形成する工程と、前記ソース領域およびドレイン領域上にソース電極およびドレイン電極を選択的に形成する工程と、

30 を備えたことを特徴とする電界効果トランジスタの製造方法。

【請求項6】半導体基板に第1導電型のチャネル領域と前記チャネル領域よりも不純物濃度の高い第1導電型のソース領域およびドレイン領域を選択的に形成する工程と、

前記チャネル領域上にゲート電極を選択的に形成する工程と、

前記ゲート電極をマスクにしてイオン注入することにより前記チャネル領域よりも不純物濃度が高く、前記ソース領域およびドレイン領域よりも不純物濃度が低い第1導電型の中間領域を選択的に形成する工程と、

40 前記ゲート電極の側部にのみ、第1の絶縁膜を選択的に形成する工程と、前記ゲート電極および前記第1の絶縁膜をマスクにしてイオン注入することにより前記半導体基板の内部に第2導電型のポケット領域を選択的に形成する工程と、前記ゲート電極および前記第1の絶縁膜をマスクにしてイオン注入することにより前記半導体基板の内部に第2導電型のポケット領域を選択的に形成する工程と、

前記ソース領域およびドレイン領域上にソース電極およびドレイン電極を選択的に形成する工程と、

50 を備えたことを特徴とする電界効果トランジスタの製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は電界効果トランジスタおよびその製造方法に関する。さらに具体的には、本発明は、高周波信号の信号処理に用いて好適な電界効果トランジスタおよびその製造方法に関する。

【0002】

【従来の技術】近年のマイクロ波を用いた無線通信技術の発展はめざましい。その中でも特に移動体通信の市場は大きく拡大している。GaAs基板上に形成したショットキーゲート型電界効果トランジスタ(Metal Semiconductor Field Effect Transistor: MESFET)は、例えば、L帯と呼ばれる周波数帯域、すなわち約1~2GHz程度の帯域を利用する移動体通信端末の高周波電力増幅器に広く用いられている。

【0003】このような高周波電力増幅器は、複数のトランジスタと複数の受動素子とからなる。これらが同一の半導体基板上に形成される場合は、マイクロ波用モノリシック集積回路(Monolithic Micro wave Integrated Circuit: MMIC)と呼ばれ、端末の小型化が可能となることから、特に需要が大きい。

【0004】MESFETは、大きく分けて自己整合型とリセス型とに分類される。自己整合型MESFETではソース抵抗が低く、従って相互コンダクタンスが高くなるので、リセス型MESFETに比べて高い利得を得ることができる。さらに、リセスエッティング等の不安定なプロセスを必要とするリセス型MESFETと比べて、耐熱性ゲートを用いた自己整合型MESFETは、しきい値電圧の制御性に優れ、ゲートバイアス電圧をゼロもしくは正で動作させる单一正電源駆動の電力増幅器が実現可能となるという特徴を有する。

【0005】これらの自己整合型やリセス型のMESFETでは、チャネル層の下部にp型埋め込み層を形成することがよく行われる。図10は、p型埋め込み層を有するMESFETの概略断面図である。同図において、半絶縁性GaAs基板131の表面領域にチャネル領域となるn型の動作層132が形成されており、この動作層132上には動作層132とショットキーボー壁を形成するゲート電極134が形成されている。またこのゲート電極134に自己整合的にイオン注入することによりソース領域136aおよびドレイン領域136bがGaAs基板131に形成されている。そしてソース領域136aおよびドレイン領域136b上には各々ソース電極138aおよびドレイン電極138bが形成されている。また短チャネル効果を低減するために動作層132の下部領域に動作層132の導電型とは逆の導電型のp型埋め込み層133が設けられている。

【0006】また、図11は、p型埋め込み層を有する

別のMESFETの概略断面図である。ここで、図10に示したものと同一の部分には同一の符号を付して説明を省略する。図11に示した例においては、ソース及びドレイン領域136a、136bと動作領域132との間に、キャリア濃度が低い中間濃度層135、135がそれぞれ設けられている。

【0007】図10や図11に示したように、p型埋め込み層133を設けることにより、キャリア濃度が高いソース・ドレイン領域間の基板電流を有効に抑制し、特に1μm以下のゲート長で観察されるショートチャネル効果を低減することができる。なお、ゲート電極134の両側には、自己整合的に製造するための側壁144、144が設けられている。このようなp型埋め込みMESFETは、1μm以下の短ゲートでも相互コンダクタンスが低下せず、いわゆるスケーリング則によるMESFETの性能向上を実現することができる。

【0008】しかし、これらのp埋め込み型MESFETにおいては、微細化する際に問題となる短チャネル効果を十分に低減することができるが、インパクトイオン化で生じたホールが動作層132の下部に集まり静特性に歪みが生じるという問題がある。このため、上記MESFETを携帯情報端末の高周波電力増幅器に用いる際、電力変換効率を大きくすることができず、また連続通話時間は短くなり、携帯情報端末の高周波電力増幅器に用いることができない。

【0009】この点についてさらに詳細に説明すると以下の如くである。すなわち、移動体通信端末では連続通話時間(一次電池を交換せずに、または二次電池を充電せずに通話できる時間)が長いことが大きな商品価値を有する。端末の電源電圧はどのような電池を使用するかで決まるので、連続通話時間を長くするためには電池の改良もさることながら、回路の消費電流を低減することが必要である。そのためには、端末の中でも消費電流の大きい高周波電力増幅器の消費電流を下げることが重要である。例えば、簡易型携帯端末(Personal Handy-phone System: PHS)を例に挙げると、高周波電力増幅器の電力変換効率が30%の場合、PHSの出力電力は0.18Wなので消費電力は0.18W/0.3=0.6Wとなる。したがって高周波電力増幅器の消費電流は、0.6W/3V=200mAとなる。ここでは電源電圧として3Vのリチウムイオン2次電池を使った場合を仮定した。

【0010】もし、高周波電力増幅器の電力変換効率が50%になれば、同様の計算によりその消費電流は120mAとなる。つまり、高周波電力増幅器の消費電流は80mA低減されることになる。PHS全体の消費電流を約800mAとすると、PHS全体の消費電流としても1割低減されることになる。この効果はそのまま、端末の連続通話時間の延長となって現われる。

【0011】このような高周波電力増幅器の電力変換効

率はそこに使用されているトランジスタ、特に多段増幅の場合は最終段で使用されるトランジスタの電力変換効率でほとんど決定される。トランジスタの電力変換効率ではドレイン効率と呼ばれる指標が一般的に用いられている。ドレイン効率 μ_d は、 $\mu_d = P_{out}/P_{DC}$ と表わされる。ここで P_{DC} は消費電力、 P_{out} は出力電力である。この式から明らかなように、トランジスタのドレイン効率を向上させるためには消費電力、したがって、消費電流を低減することが重要となる。

【0012】我々の最近の研究で、p埋め込み型MESFETはこの消費電流が大きいために、携帯端末の連続通話時間を長くすることができないという問題があることがわかった。¹⁰ p型埋め込みMESFETの消費電流が大きくなるという問題を調べた結果、電流・電圧特性にキックが現われることが原因であることがわかった。MESFETの飽和領域では、ドレイン電圧に対して、ドレイン電流はほぼ一定に推移する。「キック」とは、このドレイン電流が一時的な増加を示すことである。このようなキックは、ドレインコンダクタンスにおいてはピークとなって現れる。²⁰ p型埋め込みMESFETにおいて、このようなキックが現われることは計算機シミュレーションにより既に報告されており(M. R. Wills on, P. Zdebel, P. Wennekers, and R. Anholt, in Proc. IEEE GaAs IC Symposium, p. 109, 1995)、チャネル下部のp型埋め込み層にインパクトイオン化で生成されたホールが蓄積し、寄生バイポーラ効果を生ずることが原因であると言われている。このキックが電力増幅器の高効率化の障害となる。³⁰ p型埋め込みMESFETでは、キックは典型的な場合として5V附近に現われ、消費電流が急激に増大する。このような消費電流の増大が高周波電力増幅器の高効率化の大きな障害となっている。

【0013】また、p埋め込み型MESFETでは、線形性が劣化して歪みを発生し、線形性が要求されるデジタル変調には不向きであるという問題もあった。

【0014】そこで図12に示すようにソース領域136aおよびドレイン領域136bの周囲にのみボテンシャルバリアとなるp層137を設けた構造(pポケット構造とも言う)が提案されている(特開昭61-55973号公報参照)。⁴⁰

【0015】また、図13に示したように、ソース及びドレイン領域136a、136bと動作領域132との間に、両者の中間的なキャリア濃度を有する中間濃度層(以下、「中間領域」と称する)135、135がそれぞれ設けられているpポケット型MESFETも提案されている。

【0016】これらのpポケット型MESFETにおいては、チャネル下部にはp型領域が形成されず、高濃度ソース・ドレイン層の下部にのみpポケット領域13

7、137が設けられている(米国特許第4,636,822号)。このpポケット領域137は、図13に示したように、ゲート電極134に対して自己整合的に形成される場合が多い。これらのpポケット型MESFETは、p型埋め込みMESFETの長所を継承しており、同様に短チャネル効果を抑制することができる。

【0017】さらに、本発明者らが以前に発明したpポケット型MESFETを用いた高周波電力増幅器ではp型埋め込みMESFETと比較して、消費電流が低減することができる。この発明については、特願平8-264012号、特願平9-060878号、特願平9-201153号の各明細書に詳細が説明されている。

【0018】すなわち、図12や図13に示したように、pポケット型MESFETではチャネル領域の下にp型層が存在しないため、チャネルの下部にホールが蓄積してキックの発生原因となるような問題が生じない。従って、トランジスタの線形性が向上する。言い替えると、一定の線形基準で定義したpポケット型MESFETのドレイン効率は約50%であり、p型埋め込みMESFETの30%と比べて大幅に向上する。その結果として、pポケットMESFETを使用した高周波電力増幅器を用いた移動体端末は従来よりも長い連続通話時間を示し、その商品価値も従来より高くなる。

【0019】すなわち、pポケット型MESFETは移動体通信端末等で使用される高周波線形電力増幅器に応用した場合に優れた特性を示す。

【0020】

【発明が解決しようとする課題】しかし、図12や図13に示したような従来のpポケット型MESFETは、³⁰ 1μm以上の長ゲートにおいて、短チャネル効果を低減しつつ静特性に歪みの生じない理想的な構造である一方、1μm以下の短ゲート領域への微細化に伴って、pポケット領域137が不純物注入層136a、136bの活性化のための熱処理で動作層132の下部に拡散する影響を顕著に受けるようになり、図・や図・に示すp型埋め込みMESFETの構造に近づく。このため図10や図11のp埋め込み型FETの場合と同様にインパクトイオン化で生じたホールが、動作層132の下部に集まり、静特性にひずみが生じるという問題があつた。なお、このとき、しきい値電圧が正側にシフトする逆短チャネル効果を生じる問題も発生する。

【0021】さらに、本発明者は、従来のpポケット型を従来よりも高い周波数に応用しようとすると新たな問題が生ずることを知得した。すなわち、前述したように、pポケット型MESFETは移動体通信端末等の高周波線形電力増幅器に応用した場合に優れた特性を示す。特にLg=0.8μmのpポケット型MESFETの遮断周波数f_tは、20~30GHzであり、十分な利得が得られる。

【0022】しかしながら、より周波数の高い準ミリ波、すなわち5～30GHz程度の高い周波数帯域に応用するために、従来のpポケット型MESFETをそのまま短ゲート化すると問題を生ずることが分かった。

【0023】図14は、従来のpポケット型MESFETのゲート長を短縮した場合に得られるIV特性を表すグラフ図である。すなわち、同図はMESFETのドレイン電圧に対するドレイン電流の関係を表すIV特性図である。同図から明らかのように、このMESFETは、ドレインコンダクタンスが大きく、いわゆる「ピンチオフ特性」が劣化して、電力増幅器としては適さない。

【0024】一方、チャネルを薄層化することも対策のひとつである。しかしながら、パワー用としては、チャネルを薄層化するとインパクトイオン化が大きくなり、線形性を損なうという問題を生ずる。

【0025】以上説明したように、従来よりも高い周波数帯である準ミリ波帯などに適用するために、pポケット型MESFETのゲート長を単純に短くすると、ドレインコンダクタンスが増大し、ピンチオフ特性も劣化するという問題があった。

【0026】本発明は、かかる問題点の認識に基づいてなされたものである。すなわち、その目的は、従来のpポケット型MESFETの構造を修正し、IV特性を劣化させずに短ゲート化を実現することができる電界効果トランジスタおよびその製造方法を提供することにある。

【0027】

【課題を解決するための手段】本発明による電界効果トランジスタは、半導体基板に形成された第1導電型のチャネル領域と、このチャネル領域上に形成されたゲート電極と、この電極の両側の前記半導体基板の領域に前記ゲート電極に隣接するように形成された第1導電型の半導体領域と、前記ゲート電極の両側の前記半導体基板の領域に、前記半導体領域に隣接して形成され、前記半導体領域よりも不純物濃度の高い第1電導型のソース領域およびドレイン領域と、前記ソース領域およびドレイン領域のうち少なくとも一方の領域と前記半導体基板との境界面を被いかつ前記ゲート電極と交差しないように形成された、前記第1導電型と異なる第2導電型の不純物領域と、を備えていることを特徴とし、p型ポケット領域がゲート電極から離れて形成されているために、静特性に歪みを生ずることなく、短チャネル効果を効果的に抑制することができる。

【0028】また、本発明による電界効果トランジスタは、半導体基板の表面に形成された第1導電型のチャネル領域と、前記半導体基板の表面において前記チャネル領域の両側にそれぞれ隣接して形成され、前記チャネル領域よりも高いキャリア濃度を有する第1導電型の第1の中間領域及び第2の中間領域と、前記半導体基板の表

面において前記第1の中間領域に隣接して前記チャネル領域の反対側に形成され、前記第1の中間領域よりも高いキャリア濃度を有する第1導電型のソース領域と、前記半導体基板の表面において前記第2の中間領域に隣接して前記チャネル領域の反対側に形成され、前記第1の中間領域よりも高いキャリア濃度を有する第1導電型のドレイン領域と、前記第1の中間領域と前記ソース領域との下部に隣接して形成された第2導電型の第1のポケット領域と、前記第2の中間領域と前記ドレイン領域との下部に隣接して形成された第2導電型の第2のポケット領域と、を備え、前記第1のポケット領域と前記第2のポケット領域との間隔は、前記第1の中間領域と前記第2の中間領域との間隔よりも大なるものとして構成されていることを特徴とし、ゲート長を短縮しても、ピンチ・オフ特性が良好で、IV特性にキックを生じず、且つ短チャネル効果も効果的に抑制された電界効果トランジスタを提供することができる。

【0029】ここで、前記ソース領域と前記ドレイン領域との間隔は、1.4μm以上であり、前記第1の中間領域と前記第2の中間領域との間隔は、0.5μm以下であり、前記第1のポケット領域と前記第2のポケット領域との間隔は、0.6μm以上とすることにより、準ミリ波帯における電力増幅素子として好適な電界効果トランジスタを実現することができる。

【0030】一方、本発明の電界効果トランジスタの製造方法は、半導体基板に第1導電型のチャネル領域を形成する工程と、前記チャネル領域上にゲート電極を形成する工程と、前記ゲート電極の側部にのみ第1の絶縁膜を形成する工程と、前記ゲート電極および前記第1の絶縁膜をマスクにしてイオン注入することにより前記第1導電型と異なる第2導電型のポケット領域を形成する工程と、前記第1の絶縁膜を除去した後、前記ゲート電極の側部にのみ、前記第1の絶縁膜より膜厚の厚い第2の絶縁膜を形成する工程と、前記ゲート電極および前記第2の絶縁膜をマスクにしてイオン注入することにより前記不純物層より浅い第1導電型のソース領域およびドレイン領域を形成する工程と、前記ソース領域およびドレイン領域上にソース電極およびドレイン電極を形成する工程と、を備えたことを特徴とし、ソース・ドレイン領域やpポケット領域などを自己整合的に形成することができる。

【0031】さらに、前記第1の絶縁膜を形成する前か、または前記第1の絶縁膜を除去した直後にイオン注入することにより前記ソース領域およびドレイン領域よりも浅くかつ不純物濃度の低い第1導電型の導電層を形成することにより、中間領域を自己整合的に形成することができる。

【0032】一方、第1の絶縁膜を用いてまず、ソース・ドレイン領域を自己整合的に形成し、その後に第1の絶縁膜よりも薄い第2の絶縁膜を形成して、pポケット

領域を自己整合的に形成するようにしても良い。

【0033】さらに、半導体基板に第1導電型のチャネル領域と前記チャネル領域よりも不純物濃度の高い第1導電型のソース領域およびドレイン領域を選択的に形成する工程と、前記チャネル領域上にゲート電極を選択的に形成する工程と、前記ゲート電極をマスクにしてイオン注入することにより前記チャネル領域よりも不純物濃度が高く、前記ソース領域およびドレイン領域よりも不純物濃度が低い第1導電型の中間領域を選択的に形成する工程と、前記ゲート電極の側部にのみ、第1の絶縁膜を選択的に形成する工程と、前記ゲート電極および前記第1の絶縁膜をマスクにしてイオン注入することにより前記半導体基板の内部に第2導電型のポケット領域を選択的に形成する工程と、前記ソース領域およびドレイン領域上にソース電極およびドレイン電極を選択的に形成する工程と、を備えたことを特徴としても良く、ソース・ドレイン領域の間隔が大きい場合においても、側壁を用いることなく、本発明の電界効果トランジスタを製造することができる。

【0034】

【発明の実施の形態】本発明者による独自の検討の結果、p型ポケット領域とゲート電極とを離して配置することにより、静特性に歪みが生じることなく、短チャネル効果を効果的に抑制することができることが分かった。

【0035】さらに、その最適な構造について詳細に検討した結果、p型ポケット型MESFETの諸特性は、その中間濃度領域と、p型ポケット領域と、ソース・ドレイン領域との位置関係に大きく依存することが判明した。すなわち、IV特性を劣化させることなく、ゲート長を短縮して従来よりも周波数の高い準ミリ波帯などの高周波帯において使用するためには、トランジスタのゲート長を短縮するだけでなく、ソース・ドレイン領域間の距離と、中間濃度領域の長さと、p型ポケット領域間の距離とをそれぞれ独特の範囲に設定する必要があることを知得するに至った。

【0036】以下に図面を参照しつつ本発明の実施の形態について説明する。

【0037】図1は、本発明によるp型ポケット型MESFETの概略断面図である。すなわち、FET10Aは、半絶縁性ガリウム砒素(GaAs)基板11の上に形成されたn⁺型ソース領域16aと、n型チャネル12と、n⁺型ドレイン領域16bとを有する。ここで、チャネル層12のキャリア濃度は、例えば、 $2 \times 10^{17} \text{ cm}^{-3}$ とができる。また、ソース・ドレイン領域16a、16bのキャリア濃度としては、例えば、 $2 \times 10^{18} \text{ cm}^{-3}$ とができる。

【0038】ソース・ドレイン領域16a、16bとチャネル層12の下には、それぞれ両者にまたがるようにしてp型ポケット領域17、17が設けられている。P

型ポケット領域のキャリア濃度は、例えば、 $4 \times 10^{16} \text{ cm}^{-3}$ とすることができる。また、チャネル12の上には、ゲート電極14が形成され、ソース・ドレイン領域の上には、それぞれソース電極18a、ドレイン電極18bが形成されている。さらに、FET10Aの表面は、図示しない保護膜などにより覆われているようにしても良い。

【0039】本発明の電界効果トランジスタ10Aにおいては、p型ポケット領域17、17がゲート電極14から離れて形成されているため、静特性に歪みが生じず、良好な性能を得ることができる。すなわち、本発明によればp型ポケット領域をゲート電極から離して配置するので、ゲート長を短縮してもp型ポケット領域17、17同士が互いに接近しすぎることがない。その結果として、ゲート長を短縮しても、図10や図11に示したような従来のp型埋め込み層の構造で問題となる、インパクトイオン化で生じたホールがチャネル層12の下部に集まり静特性に歪みを生じさせるという現象を解消することができる。

【0040】なお、上記実施の形態においてはp型の不純物層10はソースおよびドレイン領域の両方に形成したがどちらか一方の側のみに形成しても良い。

【0041】図1に示した構成に基づき、さらに詳細な検討を行った結果、本発明者は、p型ポケット型MESFETを準ミリ波の周波数帯において応用するためには、FETを構成する各層の間隔や寸法にそれぞれ独自の最適値が生じることを見出した。そして、この知見に基づき、各層が独特な位置関係で配置されている独特の構成を有するp型ポケット型MESFETを発明するに至った。次に、このFETについて説明する。

【0042】図2は、本発明による第2のp型ポケット型MESFETの概略断面図である。すなわち、FET10Bは、半絶縁性ガリウム砒素(GaAs)基板11の上に、形成されたn⁺型ソース領域16aと、n型チャネル12と、n⁺型ドレイン領域16bとを有する。チャネル領域12とソース・ドレイン領域との間には、両者の中間的なキャリア濃度を有するn型の中間領域15、15が設けられている。ここで、チャネル層12のキャリア濃度は、例えば、 $2 \times 10^{17} \text{ cm}^{-3}$ とことができる。また、ソース・ドレイン領域16a、16bのキャリア濃度としては、例えば、 $2 \times 10^{18} \text{ cm}^{-3}$ とができる。中間領域15、15のキャリア濃度としては、例えば、 $1 \times 10^{18} \text{ cm}^{-3}$ とができる。

【0043】ソース・ドレイン領域16a、16bと中間領域15、15の下には、それぞれ両者にまたがるようにしてp型ポケット領域17、17が設けられている。p型ポケット領域のキャリア濃度は、例えば、 $4 \times 10^{16} \text{ cm}^{-3}$ とができる。

【0044】また、チャネル層12の上には、ゲート電極

11

14が形成され、ソース・ドレイン領域の上には、それぞれソース電極18a、ドレイン電極18bが形成されている。さらに、FET10Bの表面は、図示しない保護膜などにより覆われているようにしても良い。

【0045】ここで、FET10BのMESFETのゲート長 L_g に関して説明すると、ゲート長を短縮することにより、ゲート容量が減少して利得が向上するとともに、キャリアのドリフト速度が向上し、相互コンダクタンス g_m も向上する。さらに具体的には、例えば、ワイアレスLAN(Local Area Network)のように従来よりも周波数が高い「準ミリ波」、すなわち5~30GHz程度の高い周波数帯域に応用する場合について例示する。応用周波数が高くなると、そのままで利得が下がるため、通常はゲート長を短縮し、ゲート容量を低減し、また相互コンダクタンスを増加さ*

$$\begin{aligned} f_t(0.4) &= (366/315) \\ &= 2.3 f_t(0.8) \\ &= 60 \text{ GHz} \end{aligned}$$

となり、準ミリ帯を十分にカバーする遮断周波数が得られる。すなわち、準ミリ波帯で十分な遮断周波数を得るためにには、ゲート長 L_g が0.5μm以下であることが望ましい。

【0047】また、本発明においては、中間領域15、15の幅 L_{sw} を従来よりも長く設定することにより、ソース・ドレイン領域16a、16b間の距離 L_{n+-n+} を離す。この理由は、ソース・ドレイン領域の間隔が狭くなると、短チャネル効果が顕著になるからである。

【0048】図3は、ソース・ドレイン間の間隔が狭くなった場合の特性の劣化を例示するグラフ図である。すなわち、同図(a)は、ゲート長 $L_g=0.8\mu\text{m}$ で中間領域15の幅 L_{sw} が0.25μmの場合のドレイン電圧・電流特性図である。また、同図(b)は、ゲート長 $L_g=0.4\mu\text{m}$ で中間領域15の幅 L_{sw} が0.25μmの場合のドレイン電圧・電流特性図である。これらのグラフから明らかかなように、ゲート長 L_g を短縮してソース・ドレイン間の間隔 L_{n+-n+} も狭くなると、ドレンコンダクタンスが急激に上昇し、「ピンチオフ特性」が劣化する。この原因は、ソース・ドレイン領域16a、16bの間隔が狭くなることによって、短チャネル効果が顕著になるからであると考えられる。

【0049】また、図4は、ソース・ドレイン間の距離 L_{n+-n+} を変化させた場合のしきい値電圧 V_{th} の変化を示したグラフ図である。同図から分かるように、ソース・ドレイン間の距離 L_{n+-n+} が1.4μmよりも小さくなると、FETのしきい値電圧は急激に低下する。

【0050】図3及び図4から、ソース・ドレイン間の距離 L_{n+-n+} は、1.4μm以上とすることが望ましいことが分かる。すなわち、ソース・ドレイン間の距離 L_{n+-n+} を一定以上に維持しつつ、ゲート長 L_g を短縮するためには、中間領域15の幅 L_{sw} を長く設定する必要が

12

*せて利得を改善する必要が生ずる。ここで、簡単のため、遮断周波数 f_t に注目して具体的な値により説明する。実際は安定性や、実装したときのソースインダクタンス等が大きく影響するが、ここでは無視する。

【0046】ゲート長 $L_g=0.8\mu\text{m}$ における $f_t=26\text{GHz}$ 、最大相互コンダクタンス $g_{max}=315\text{ mS/mm}$ であり、ゲート長 $L_g=0.4\mu\text{m}$ に短縮した場合の $g_{max}=366\text{ mS/mm}$ である場合を想定する。また、単純に $f_t=g_m/(2\text{Picg})$ を援用する。実際には寄生容量部分があるため、ゲート長0.4μmの場合のゲート容量 $C_g(0.4\mu\text{m})$ は、ゲート長0.8μmの場合のゲート容量 $C_g(0.8\mu\text{m})$ の半分にはならないが、ここでは半分になると仮定する。すると、ゲート長 $L_g=0.4\mu\text{m}$ とした場合の遮断周波数 $f_t(0.4)$ は、

$$(0.8/0.4)f_t(0.8)$$

※あることが分かった。例えば、ソース・ドレイン間の距離 L_{n+-n+} を1.4μmとしつつ、ゲート長 L_g を0.4μmに短縮するためには、中間領域15の幅 L_{sw} を0.5μmとする必要があることが分かった。

【0051】次に、p型ポケット領域17、17の形成位置について説明すると、図2のFET10Bにおいても、p型ポケット領域17、17はゲート電極14から離れて配置されている。つまり、図1に示したFET10Aと同様に、ゲート長を短縮しても構造的にp埋め込み型に近づくことがなく、インパクトイオン化による静特性の歪みが生じにくいという利点を有する。

【0052】さらに詳細に説明すると、FET10Bにおいては、p型ポケット領域17、17の端部が、チャネル12と中間領域15との境界面よりも、それぞれ外側にずれて形成される。すなわち、pポケット領域17、17の間の距離 L_{p-p} は、チャネル12の長さよりも長くなるように形成されている。中間領域15、15を、ゲート電極14に対して自己整合的(セルフアライン)に形成する場合には、チャネル12の長さは、ゲート長 L_g と等しい。従って、このような場合には、 $L_{p-p} > L_g$ と表すことができる。このようにする理由は、ドレインIV特性におけるキックを抑制するためである。

図5は、p型ポケット領域17、17の間隔 L_{p-p} が狭い場合のドレインIV特性を表すグラフ図である。すなわち、同図は、 L_{p-p} が、0.595μmの場合のドレイン電圧・電流特性を表す。ここで、ゲート長 $L_g=0.595\mu\text{m}$ 、中間領域15の幅 $L_{sw}=0.5\mu\text{m}$ とした。

【0053】同図のドレインIV特性をみると、図示したようにキックが生じている。このキックはドレンコンダクタンスのピークに対応するものであり、MESFETの高効率化に対して大きな障害となる。そして、こ

のようなリンクは、p型ポケット領域17、17の間隔が狭くなつたことに応じて生じ、その原因は、寄生バイポーラ効果にある。すなわち、p型ポケット領域が近接すると、チャネル下の電子ボテンシャルは基板に対して持ち上がる。この領域は、ソース領域に対しては、正にバイアスされ、ドレイン領域に対しては、負にバイアスされている。従って、ソース近傍から電子が注入されると、n-p-nバイポーラトランジスタと類似の動作を生ずる。すなわち、p埋め込みMESFETにおける寄生バイポーラ効果がこの場合にも生ずる。

【0054】本発明の検討の結果、ドレインIV特性のリンクを抑制するためには、p型ポケット領域17、17の間隔 L_{p-p} を0.6μm以上とすることが必要であることが分かった。

【0055】図6は、以上説明した構造パラメータを用いて得られた本発明のp型ポケット型MESFETのドレインIV特性を表すグラフ図である。すなわち、同図に示したデータは、ゲート長 $L_g=0.4\mu m$ 、ソース・ドレイン領域の間隔 $L_{n+-n+}=1.5\mu m$ 、中間領域の幅 $L_{s+}=5.5\mu m$ 、p型ポケット領域の間隔 $L_{p-p}=0.8\mu m$ としたp型ポケット型MESFET10のドレインIV特性図である。同図に示したように、本発明によるp型ポケット型MESFET10は、ゲート長 L_g を0.4μmまで短縮しても、IV特性が劣化しない。つまり、ドレイン電流が抑制され、ピンチオフ特性が良好で、且つ、リンクも抑制されているp型ポケット型MESFETを得ることができた。また、このFETの遮断周波数 f_t は、約60GHzであり、準ミリ波帯の周波数帯域において、極めて良好な電力増幅素子として機能することができた。

【0056】次に、本発明の電界効果トランジスタの製造方法について説明する。図7は、本発明の電界効果トランジスタの第1の製造方法を示す概略工程断面図である。また、図8は、この方法により得られるp型ポケット型MESFETの各層のキャリア濃度プロファイルを表すグラフ図である。

【0057】本方法は、ソース・ドレイン領域と、中間領域と、p型ポケット領域とをいずれもゲート電極に対して自己整合（セルフアライン）的に形成することができる製造方法である。まず、半絶縁性GaAs基板11にSiイオンを加速電圧4.5KeV、ドーズ量 $2.0 \times 10^{12} \text{ cm}^{-2}$ の条件でイオン注入して動作層となるn型のチャネル層12を形成する（図7（a）参照）。続いてこの基板11上に例えば膜厚が600nmの窒化タンゲステン膜を形成し、この窒化タンゲステン膜をバターニングすることにより例えば幅が0.4μmのゲート電極14を形成する（図7（a）参照）。そしてこのゲート電極14をマスクにしてSiイオンを加速電圧50KeV、ドーズ量 $1.0 \times 10^{13} \text{ cm}^{-2}$ の条件でイオン注入することにより、中間領域15となるn型の導電層

（半導体層）15を形成する（図7（a）参照）。次に、基板全面にプラズマCVD（Chemical Vapor Deposition）法を用いて例えばSiO₂膜を所定の厚さに堆積した後、例えばRIE（Reactive Ion Etching）等の異方性ドライエッティングを用いてエッチング（エッチバッカ）することによりゲート電極14の側面にSiO₂からなる絶縁膜38を形成する（図7（b）参照）。続いてこの絶縁膜38をマスクにしてMgイオンを加速電圧180KeV、ドーズ量 $2.0 \times 10^{12} \text{ cm}^{-2}$ の条件でイオン注入することによりボテンシャルバリアとなるp型ポケット領域17、17を形成する（図7（b）参照）。

【0058】次にNH₄F液を用いて側壁38を除去する（図7（c）参照）。続いて再度、基板全面にプラズマCVD法を用いてSiO₂膜を所定の厚さに堆積した後、RIE等の異方性エッティングを用いてエッチングすることによりゲート電極14の側面にSiO₂からなる絶縁膜42を形成する（図7（d）参照）。そしてこの絶縁膜42をマスクにしてSiイオンを加速電圧120KeV、ドーズ量 $3 \times 10^{13} \text{ cm}^{-2}$ の条件でイオン注入することによりソース領域16aおよびドレイン領域16bを形成する（図7（d）参照）。

【0059】次に、NH₄F液を用いて側壁42を除去した後、例えば800～900°Cでアニールすることにより、イオン注入による結晶損傷を回復するとともに注入されたイオンを活性化する。このように活性化されることにより、図8に示したようなキャリア濃度プロファイルを得ることができる。続いて、例えばリフトオフ法を用いてAuGe合金からなるソース電極18aおよび

30 ドレイン電極18bを形成してp型ポケット型のGaAs MESFET10を完成する（図7（e）参照）。

【0060】本方法によれば、ゲート電極14と側壁38及び42を利用することによって、中間領域15、ソース・ドレイン領域16a、p型ポケット領域17のいずれも自己整合的に製造することができる。

【0061】なお、上記製造方法においては、中間領域16は絶縁膜38の形成前に形成したが絶縁膜38の除去直後にイオン注入によって形成しても良い。

【0062】また、上記製造方法においては、まず、幅のせまい側壁38を形成してp型ポケット領域17を形成してから（図7（b）参照）、幅の広い側壁42を形成してソース・ドレイン領域16a、16bを形成した。

【0063】しかし、本発明はこれに限定されるものではない。すなわち、この他にも、例えば、まず、幅の広い側壁42を形成してソース・ドレイン領域16a、16bを形成し、その後に、幅のせまい側壁38を形成してp型ポケット領域17を形成するようにしても良い。

この場合には、先に形成した幅の広い側壁42を適宜エッティングすることによって、その幅を狭くして側壁38

50 ッチングすることによって、その幅を狭くして側壁38

15

として利用することもできる。つまり、側壁38を形成するために、改めて SiO_2 などの絶縁物を堆積する必要がなくなるという利点が生ずる。

【0064】次に、本発明の電界効果トランジスタのもうひとつの製造方法について説明する。図9は、本発明の電界効果トランジスタの第2の製造方法を表す概略工程断面図である。本方法に関しては、前述した第1の製造方法と同一の部分については、図面に同一の符号を付して説明を省略する。本方法においては、まず、図9(a)に示したように、チャネル層12とソースドレイン領域16a、16bを形成する。具体的には、まず、半絶縁性GaAs基板11に、図示しないマスクを介して、Siイオンを加速電圧45KeV、ドーズ量 $2.5 \times 10^{12} \text{ cm}^{-2}$ の条件でイオン注入して動作層となるn型のチャネル層12を形成する。さらに、図示しない別のマスクを介してSiイオンを加速電圧110KeV、ドーズ量 $6 \times 10^{13} \text{ cm}^{-2}$ の条件でイオン注入することによりソース領域16aおよびドレイン領域16bを形成する。

【0065】次に、図9(b)に示したように、ゲート電極を形成する。具体的には、基板11上に例えば膜厚が120nmの窒化タンクスチタン膜と膜厚が320nmのタンクスチタン膜とをこの順次に堆積し、この積層膜をパターニングすることにより例えば幅が0.4μmのゲート電極14を形成することができる。

【0066】次に、図9(c)に示したように、中間領域を形成する。具体的には、このゲート電極14をマスクにしてSiイオンを加速電圧45KeV、ドーズ量 $1.3 \times 10^{13} \text{ cm}^{-2}$ の条件でイオン注入することにより、中間領域15となるn型の導電層(半導体層)15を形成することができる。

【0067】次に、図9(d)に示したように、p型ポケット領域を形成する。具体的には、まず、基板全面にアラズマCVD(Chemical Vapor Deposition)法を用いて例えば SiO_2 膜を所定の厚さに堆積した後、例えばRIE(Reactive Ion Etching)等の異方性ドライエッチングを用いてエッチング(エッチャック)することによりゲート電極14の側面に SiO_2 からなる側壁44を形成する。続いてこの側壁44をマスクにしてMgイオンを加速電圧200KeV、ドーズ量 $1.7 \times 10^{12} \text{ cm}^{-2}$ の条件でイオン注入することによりポテンシャルバリアとなるp型ポケット領域17、17を形成することができる。

【0068】最後に、図6(e)に示したように電極を形成する。具体的には、まず、例えば800~900°Cでアニールすることにより、イオン注入による結晶損傷を回復するとともに注入されたイオンを活性化する。続いて、例えばリフトオフ法を用いてAuGe合金からなるソース電極18aおよびドレイン電極18bを形成してp型ポケット型のGaAsMESFET10を完成す

10

16

る。ここで、側壁44は、図示したように、素子上に残しても良く、または、 NH_4F 液などを用いてエッチング除去しても良い。

【0069】以上説明した第2の製造方法によれば、中間領域15とp型ポケット領域17とをそれぞれ自己整合的に形成することができる。一方、ソース・ドレイン領域16a、16bは、自己整合的に形成されていない。しかし、ゲート電極14とソース・ドレイン領域16a、16bとの間隔が大きいような場合には、それに対応する幅の広い側壁を形成することが困難であり、本方法によることが望ましい場合もある。

【0070】なお、以上説明した実施の形態においては、nチャネル電界効果トランジスタを例に挙げて説明したが、Pチャネル電界効果トランジスタについても同様の効果を得ることができることは言うまでもない。

【0071】

【発明の効果】以上説明したように、本発明によれば、電界効果型トランジスタにおいて、短チャネル効果やその他の弊害を効率的に抑制しつつ従来よりも大幅にゲート長を短縮することができるようになる。その結果として、従来よりも高速で低歪みのトランジスタを実現することができるようになる。

【0072】すなわち、本発明によれば、p型ポケット領域をゲート電極から離れて形成することにより、静特性に歪みが生じず、良好な性能を得ることができる。すなわち、本発明によればp型ポケット領域をゲート電極から離して配置するので、ゲート長を短縮してもp型ポケット領域同士が互いに接近しすぎることがない。その結果として、ゲート長を短縮しても、インパクトイオン化で生じたホールがチャネル層の下部に集まり静特性に歪みを生じさせるという現象を解消することができる。

【0073】また、本発明によれば、p型ポケットをチャネル領域から離して配置するとともに、ゲート長 L_g 、ソース・ドレイン領域の間隔 L_{n++-n+} 、中間領域の幅 L_s 、それぞれ独特の範囲に設定することによって、ドレイン電流を抑制し、ピンチオフ特性が良好で、且つ、キックも抑制されているp型ポケット型MESFETを得ることができる。すなわち、準ミリ波帯の周波数帯域において、極めて良好な電力増幅素子として機能する電界効果型トランジスタを得ることができる。

【0074】また、本発明によれば、ゲート電極の両側に側壁を形成することにより、中間領域やp型ポケット領域などを自己整合的に形成することができる。

【0075】さらに、本発明によれば、側壁を用いることができないような、構造パラメータを有する電界効果型トランジスタをも比較的簡略な工程によって製造することができるようになる。

【0076】以上説明したように、本発明によれば、特に線形性が要求されるような準ミリ波帯の高性能なパワー・デバイスを実現することができ、産業上のメリットは

50

多大である。

【図面の簡単な説明】

【図1】本発明によるpポケット型MESFETの概略断面図である。

【図2】本発明による第2のpポケット型MESFETの概略断面図である。

【図3】ソース・ドレイン間の間隔が狭くなった場合の特性の劣化を例示するグラフ図である。

【図4】ソース・ドレイン間の距離 L_{n+-n+} を変化させた場合のしきい値電圧 V_{th} の変化を示したグラフ図である。

【図5】p型ポケット領域17、17の間隔 L_{p-p} が狭い場合のドレインIV特性を表すグラフ図である。

【図6】本発明のpポケット型MESFETのドレインIV特性を表すグラフ図である。

【図7】本発明の電界効果トランジスタの第1の製造方法を示す概略工程断面図である。

【図8】本発明により得られるpポケット型MESFETの各層のキャリア濃度プロファイルを表すグラフ図である。

【図9】本発明の電界効果トランジスタの第2の製造方法を示す概略工程断面図である。

【図10】p型埋め込み層を有するMESFETの概略断面図である。

【図11】p型埋め込み層を有する別のMESFETの概略断面図である。

【図12】ソース領域136aおよびドレイン領域136bの周囲にのみボテンシャルバリアとなるp層137を設けた構造を表す概略断面図である。

【図13】中間濃度層がそれぞれ設けられているpポケット型MESFETを表す概略断面図である。

【図14】従来のpポケット型MESFETのゲート長を短縮した場合に得られるIV特性を表すグラフ図である。

【符号の説明】

10A、10B 電界効果トランジスタ

11、131 基板

12、132 チャネル領域

14、134 ゲート電極

15、135 中間領域

16a、16b、136a、136b ソース・ドレイン領域

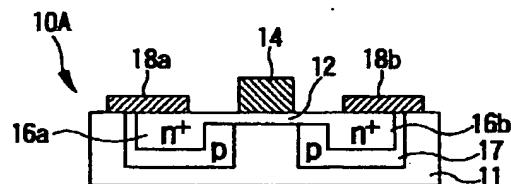
17、137 pポケット領域

20 18a、18b、138a、138b ソース・ドレイン電極

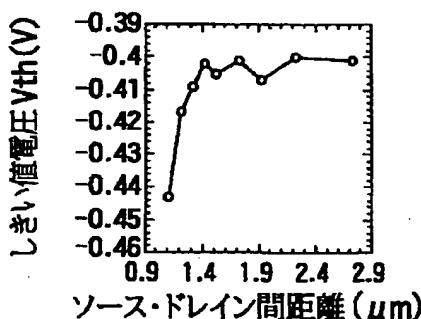
38、42、44、144 側壁

133 p型埋め込み領域

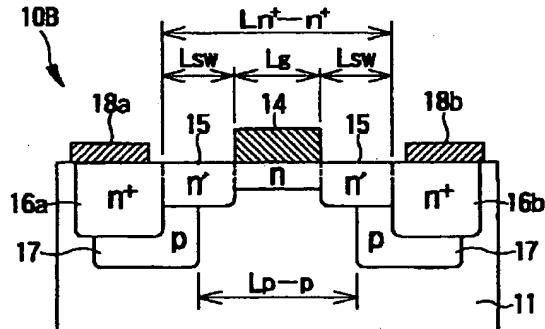
【図1】



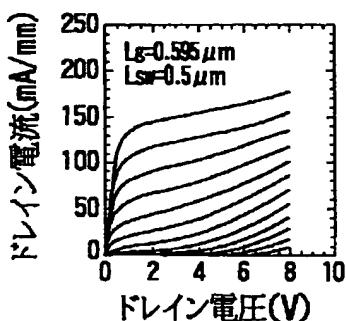
【図4】



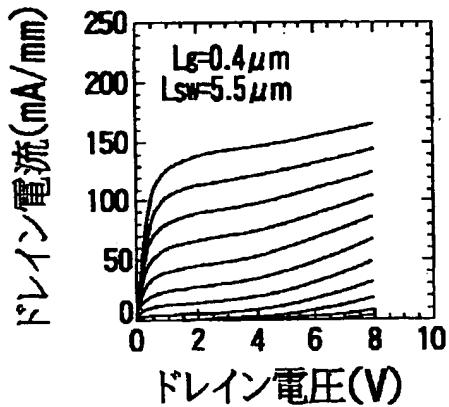
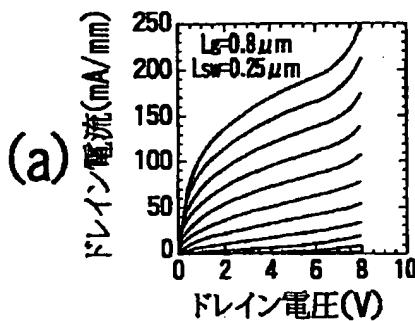
【図2】



【図5】



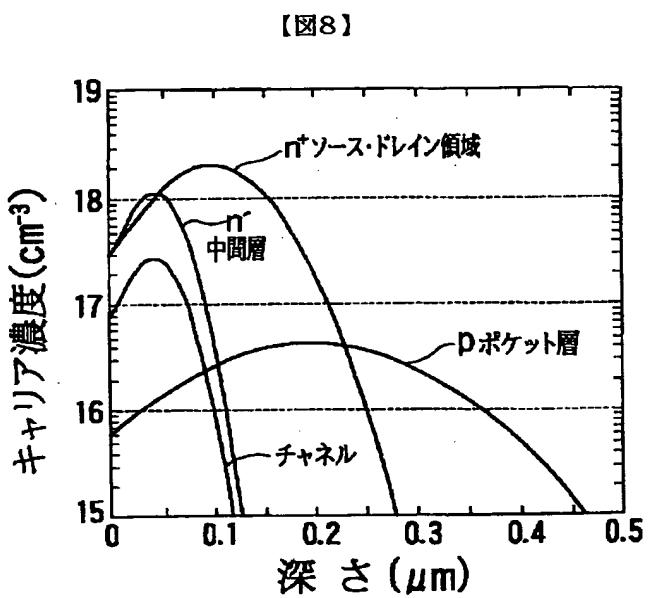
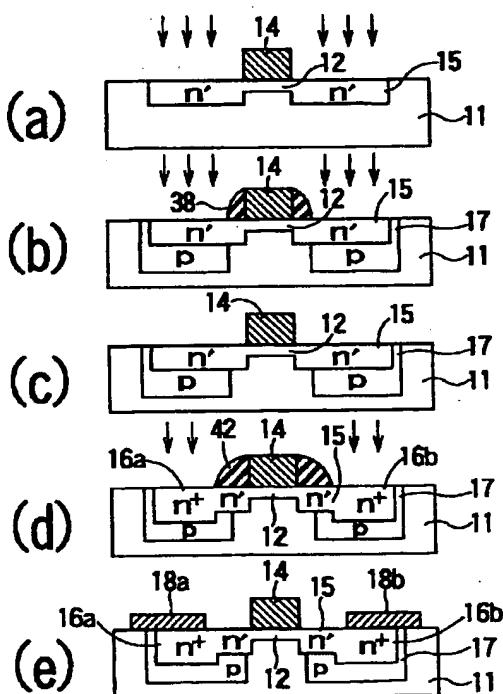
【図3】



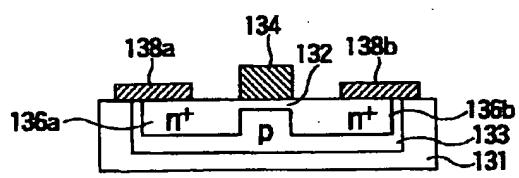
【図6】



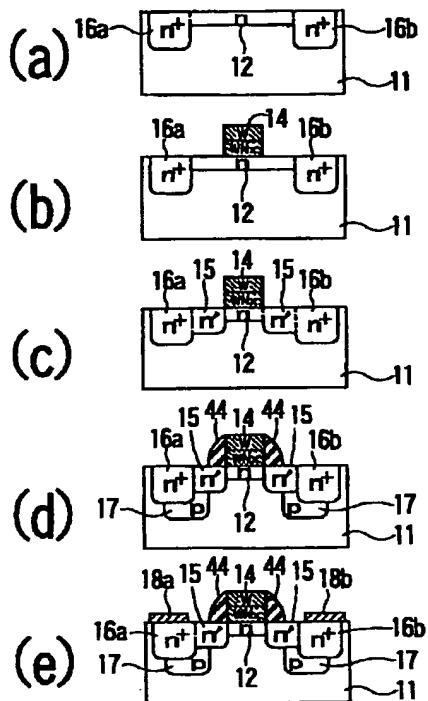
【図7】



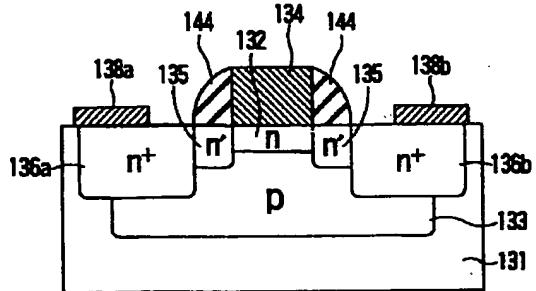
【図10】



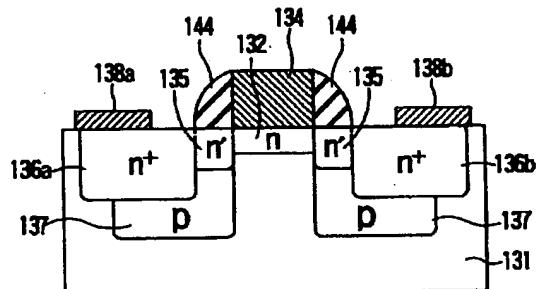
【図9】



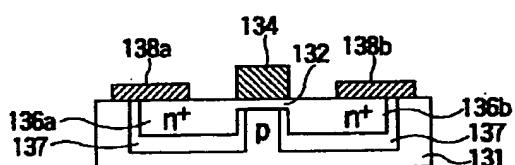
【図11】



【図13】



【図12】



【図14】

